

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-151854

(43)Date of publication of application : 25.05.1992

(51)Int.Cl.

H01L 21/82
G06F 15/60

(21)Application number : 02-276057

(71)Applicant : NEC IC MICROCOMPUT SYST
LTD

(22)Date of filing : 15.10.1990

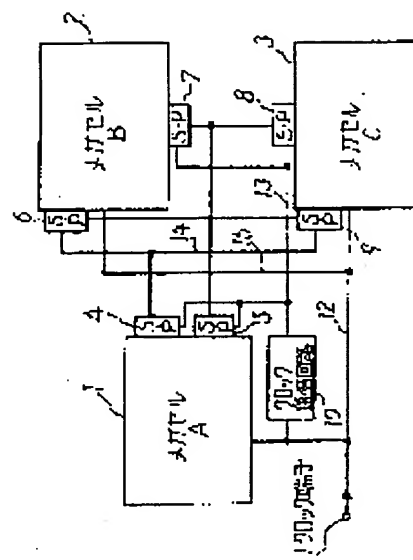
(72)Inventor : MOTOOKA TOSHIMI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To reduce chip size by a method wherein the number of wirings is reduced by turning parallel wirings between mega cells into serial connection wirings.

CONSTITUTION: The step-up ratio of frequency of a clock step-up circuit 10 is made to coincide with parallel bit width. Address data having a specified bit width, which data are generated by a mega cell 1, are converted into serial address data by a serial-parallel converter 4. The serial address data wherein a frequency stepped-up from an external clock frequency is used are transferred on a serial address data transferring line 14 at a high speed, and delivered to other mega cells 2, 3. Said data are converted into address data having a specified bit width by serial-parallel convertors 8, 9, and delivered in the insides of the mega cells 2, 3. The same operation is performed concerning to input data. Thereby the number of wirings is decreased and chip size can be reduced.



⑫ 公開特許公報(A) 平4-151854

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月25日

H 01 L 21/82
G 06 F 15/60

3 7 0 P

7922-5L
7638-4M

H 01 L 21/82

W

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体集積回路装置

⑯ 特 願 平2-276057

⑰ 出 願 平2(1990)10月15日

⑱ 発 明 者 元 岡 俊 美 神奈川県川崎市中原区小杉町1丁目403番53 日本電気アイシーマイコンシステム株式会社内

⑲ 出 願 人 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路装置

特許請求の範囲

メガセル間を自動レイアウトプログラムにより配線レイアウトを行なう半導体集積回路装置において、前記各メガセル間の信号線のバラレル接続をシリアル接続に変換するシリアルバラレル変換器と、前記各メガセル間のシリアル接続上のデータを高速転送させるためのクロック通倍回路とを有し、このクロック通倍回路の周波数の通倍率をバラレルビット幅と一致させるようにしたことを特徴とする半導体集積回路装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、メガセル間を自動レイアウトプログラムにより配線レイアウトを行う半導体集積回

路装置に関し、特に自動レイアウト後のチップサイズを縮小可能な回路構成に關する。

〔従来の技術〕

従来、この種の半導体集積回路装置では、メガセル間のバラレルデータであるアドレスデータならびに入出力データについては、一定ビット幅を持つバス構成された配線により接続されていた。

第4図は従来のメガセル間を自動レイアウトプログラムにより配線した装置の一例の接続図である。メガセル(A～C)1～3間の4ビット幅を持つアドレスデータは、同じく4ビット幅を持つアドレスバス21により配線レイアウトされ、同様に4ビット幅を持つバス構成された入出力データも同様な4ビット幅を持つ入出力データバス22により配線レイアウトされていた。また、クロック端子1からのクロックは、クロック転送路12により各メガセル1～3に接続されていた。

〔発明が解決しようとする課題〕

上述した半導体集積回路装置では、メガセル間のアドレスデータならびに入出力データについては、一定ビット幅を持つバス構成された配線により接続しなければならない。この場合、メガセル間の配線を自動レイアウトプログラムによりレイアウト配線を行なう半導体集積回路装置では、配線本数の増加等の理由により配線面積が、設計者による配線に比べ50%以上増加し、結果としてチップサイズが増加するという欠点があった。

本発明の目的は、このような欠点を除き、メガセル間のパラレル接続配線をシリアル接続配線とし配線本数を減少させることにより、チップサイズを縮小させる事を可能とした半導体集積回路装置を提供する事にある。

〔課題を解決するための手段〕

本発明の構成は、メガセル間を自動レイアウトプログラムにより配線レイアウトを行なう半導体集積回路装置において、前記各メガセル間の信号線のパラレル接続をシリアル接続に変換するシリアルパラレル変換器と、前記各メガセル間のシリ

アル接続上のデータを高速転送させるためのクロック通倍回路とを有し、このクロック通倍回路の周波数の通倍率をパラレルビット幅と一致させるようにしたことを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例のブロック図である。メガセル1により発生される一定ビット幅を持つアドレスデータは、シリアルパラレル変換器4によりシリアルアドレスデータに変換される。シリアルアドレスデータは、クロック通倍回路10によって外部クロック周波数より通倍された周波数を使用しシリアルアドレスデータ転送路14上を高速転送され他メガマクロ2、3に伝えられる。メガセル2、3に伝えられたシリアルアドレスデータはシリアルパラレル変換器6、9により一定ビット幅のアドレスデータに変換されメガセル2、3内部に伝えられる。

このクロック通倍回路10の内部構成の一例を

- 3 -

- 4 -

第2図に示す。

外部端子より入力されたクロック信号は、ディレイ素子16、エクスクルーシブオア回路19により入力信号の2倍の周波数を持つ周波数に通倍され、次にディレイ素子18、エクスクルーシブオア回路19により更に2倍の周波数を持つシリアルパラレル変換用クロックに通倍されシリアルパラレル変換器4～9に伝えられる。

本実施例では、4ビット幅を持つアドレスデータならびに入出力データを想定しているので、クロック通倍回路10は、外部入力クロックに対して4倍の周波数を持つシリアルパラレル変換器用クロックを発生している。このため外部入力クロックの1パターンで4ビットのデータをシリアルアドレス転送路13～15上を転送する事が可能となり、メガセル動作に対して遅れの発生しないデータ転送が可能となる。

以上の説明はアドレスデータについてのみ行なったが、入力データについても同様の動作を行う。

〔発明の効果〕

以上説明したように本発明は、メガセル間のアドレスデータ及び入出力データをシリアル接続とすることにより、自動レイアウトプログラムによる配線レイアウト実行時に配線本数を減少させる事が可能となり、配線面積が減少する事でチップサイズを縮小させる効果があり、またパラレル接続の場合、各ビットの配線負荷のアンバランスによるビット間のスイッチングスピードの差による誤動作も防ぐ事ができる。

また、本発明においては、シリアルパラレル変換器とクロック通倍回路とを付加する事により、チップサイズの増加を発生するが、配線面積の減少はこのチップサイズの増加より十分に大きいのでチップサイズを縮小できるという効果がある。

図面の簡単な説明

第1図は本発明の半導体集積回路装置の一実施例のブロック図、第2図は第1図のクロック通倍

- 5 -

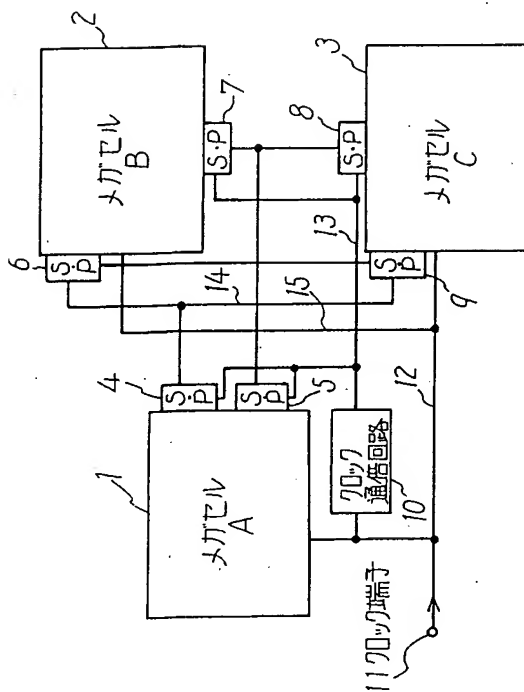
- 6 -

回路の一例の回路図、第3図は第2図のクロック
通倍回路の波形図、第4図は従来例の半導体集積
回路のブロック図である。

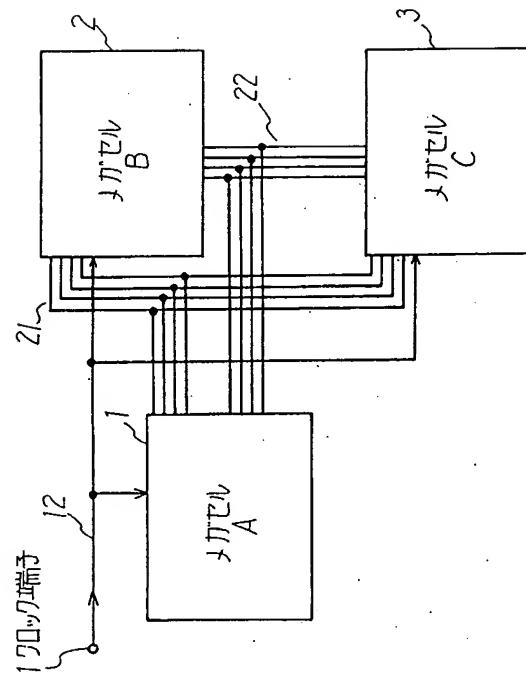
1〜3…メガセルA〜C、4〜9…シリアルパ
ラレル変換器、10…クロック通倍回路、11…
外部入力クロック端子、12…クロック転送路、
13…シリアルパラレル変換クロック転送路、
14…シリアルアドレスデータ転送路、15…シ
リアル入出力データ転送路、16、18…ディレ
イ素子、17、19…エクスクルーシブオア回
路、21…アドレスバス、22…入出力データ
バス。

代理人 弁理士 内 原 晋

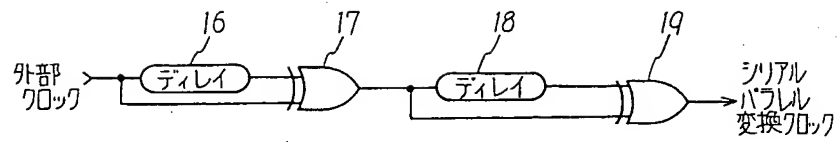
- 7 -



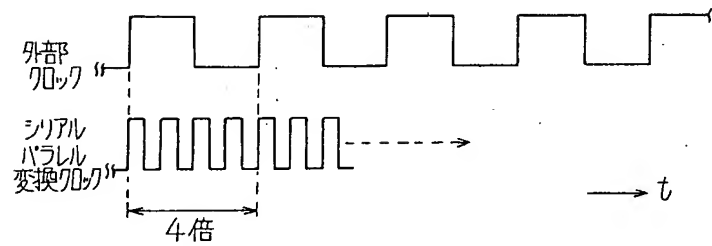
第 1 図



第 4 図



第 2 図



第 3 図